

Elektronika analogowa i cyfrowa

Kolokwium 3

Zad1.

Bramka NAND

Zaimplementuj i wykonaj symulację bramki NAND przez połączenie dwóch bramek AND i NOT. Bramki AND i NOT muszą być osobnymi układami w VHDL.

Zad2.

Składanie bramek NAND

Zaimplementuj i wykonaj symulację układu realizującego następującą funkcję logiczną: $(A \text{ NAND } B) \text{ NAND } (A \text{ NAND } B)$. Bramki NAND muszą być połączeniem bramek AND i NOT. Bramki AND i NOT muszą być osobnymi układami w VHDL.

Punktacja:

- Dodatkowy 1 pkt jeżeli cały układ będzie składany z układów NAND które będą składane z układów AND i NOT (tzn. układ dołączany jako component sam będzie zawierał mniejsze układy dołączane jako component)

Zad 3.

2-bitowy sumator

Zaprojektuj i wykonaj symulację następującego układu:

Wejścia:

- 2-bitowe wejście A
- 2-bitowe wejście B

Wyjścia:

- 2-bitowe wyjście Y
- 1-bitowe wyjście C (flaga przeniesienia)

Działanie układu:

- Na wyjściu Y ma być podana suma $A+B$, bez znaku
- Na wyjściu C ma być:
 - Stan 0, jeżeli suma mieści się w 2 bitach
 - Stan 1, jeżeli się nie mieści

Punktacja:

- 1 pkt za poprawne działanie wyjścia Y
- 1 pkt za poprawne działanie wyjścia C

