

Fizyka i przetwarzanie danych w systemach wbudowanych

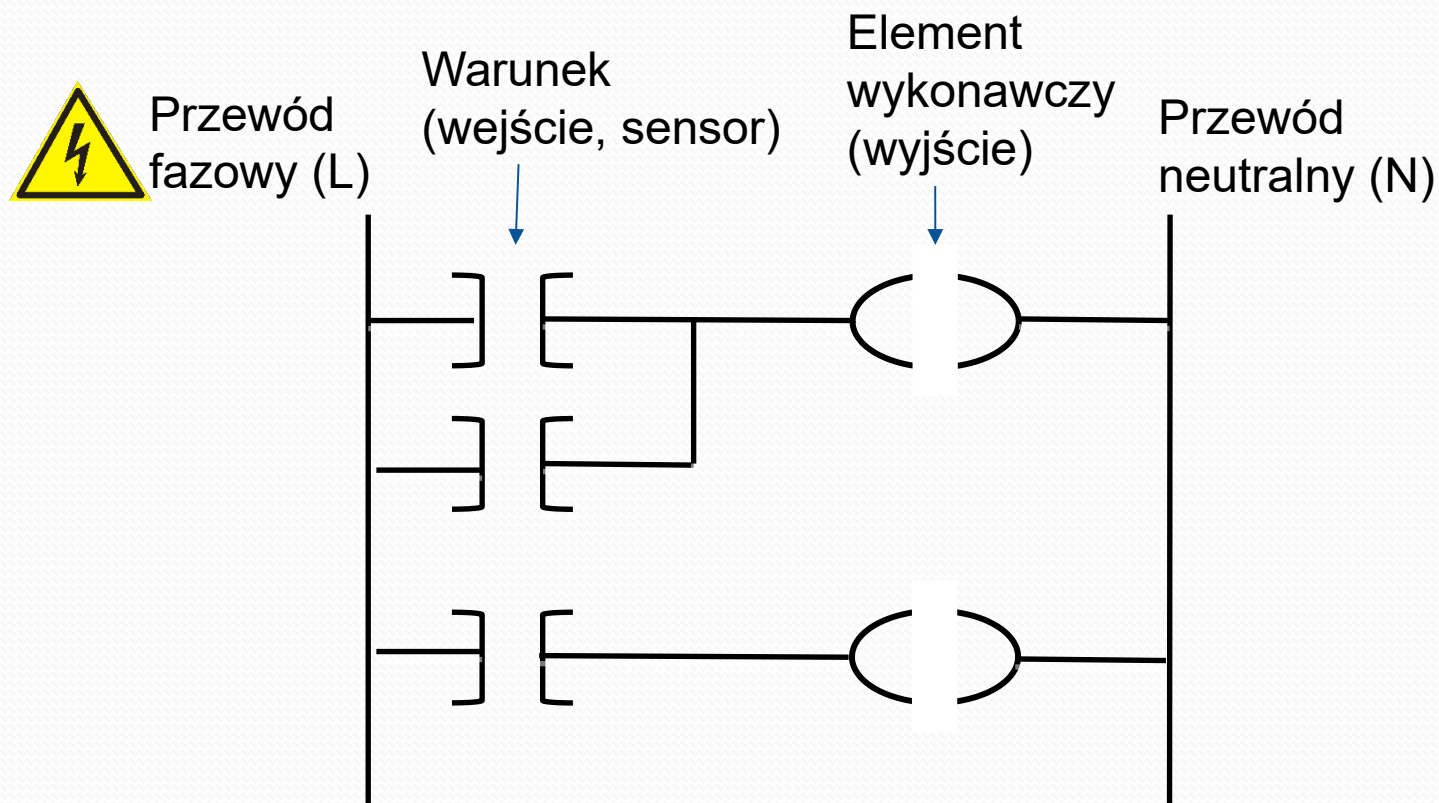
Dr Michał Tanaś (<http://mtanas.home.amu.edu.pl/>)

Ladder diagram (LD)

- Jeden z języków programowania PLC
- Zdefiniowany w normie IEC 61131-3
- Język graficzny – programowanie polega na narysowaniu schematu
- Symuluje obwód sterujący przed-PLC
- Umożliwia proste odwzorowanie układów bramek logicznych

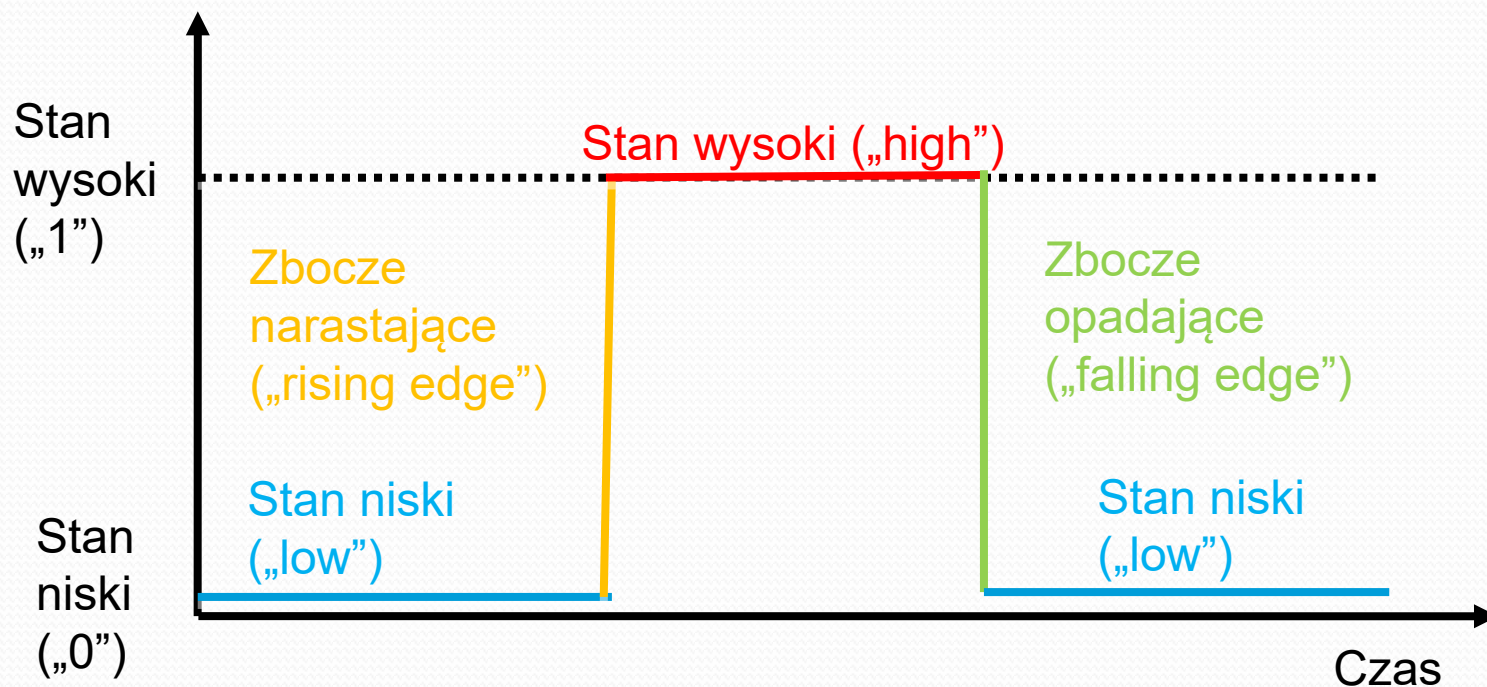
Ladder diagram (LD)

- Ogólna postać LD



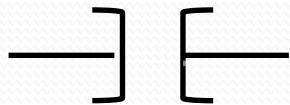
Ladder diagram (LD)

- Przebieg sygnału cyfrowego



Ladder diagram (LD)

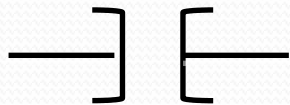
- Instrukcja warunkowa „jeżeli obwód zamknięty” („examine if closed”)



- Działanie:
 - Na wyjściu podawany jest stan wysoki („1”) wtedy i tylko wtedy gdy:
 - Na wejściu jest stan wysoki („1”)
 - Określony bit w pamięci PLC jest równy 1
 - W przeciwnym wypadku na wyjściu podawany jest stan niski („0”)

Ladder diagram (LD)

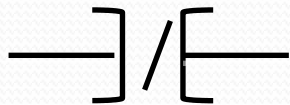
- Instrukcja warunkowa „jeżeli obwód zamknięty” („examine if closed”)



- Intuicyjnie odpowiada włącznikowi w obwodzie elektrycznym
 - Prąd płynie jeżeli
 - Obwód jest zasilany (stan wejścia wysoki)
 - Włącznik jest włączony (bit warunku w PLC ma wartość 1)

Ladder diagram (LD)

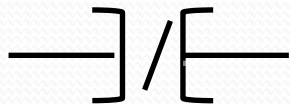
- Instrukcja warunkowa „jeżeli obwód otwarty” („examine if open”)



- Działanie:
 - Na wyjściu podawany jest stan wysoki („1”) wtedy i tylko wtedy gdy:
 - Na wejściu jest stan wysoki („1”)
 - Określony bit w pamięci PLC jest równy 0
 - W przeciwnym wypadku na wyjściu podawany jest stan niski („0”)

Ladder diagram (LD)

- Instrukcja warunkowa „jeżeli obwód otwarty” („examine if open”)



- Można ją traktować jako zanegowaną instrukcję „examine if closed”

Ladder diagram (LD)

- Instrukcja warunkowa „jeżeli właśnie włączono” („examine if rising edge”)



- Działanie:
 - Na wyjściu podawany jest stan wysoki („1”) wtedy i tylko wtedy gdy:
 - Na wejściu jest stan wysoki („1”)
 - Określony bit w pamięci PLC właśnie zmienił stan z „0” na „1”
 - W przeciwnym wypadku na wyjściu podawany jest stan niski („0”)

Ladder diagram (LD)

- Instrukcja warunkowa „jeżeli właśnie włączono” („examine if rising edge”)



- PLC sprawdza stan wejść z określoną częstotliwością („polling”)
- W praktyce więc „rising edge” oznacza:
 - W czasie poprzedniego sprawdzenia wejść bit warunku był równy 0
 - W czasie bieżącego sprawdzenia wejść bit warunku jest równy 1

Ladder diagram (LD)

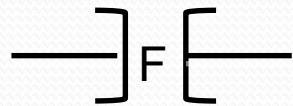
- Instrukcja warunkowa „jeżeli właśnie wyłączono” („examine if falling edge”)



- Działanie:
 - Na wyjściu podawany jest stan wysoki („1”) wtedy i tylko wtedy gdy:
 - Na wejściu jest stan wysoki („1”)
 - Określony bit w pamięci PLC właśnie zmienił stan z „1” na „0”
 - W przeciwnym wypadku na wyjściu podawany jest stan niski („0”)

Ladder diagram (LD)

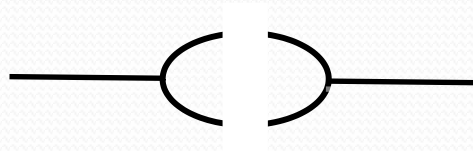
- Instrukcja warunkowa „jeżeli właśnie wyłączono” („examine if falling edge”)



- PLC sprawdza stan wejść z określoną częstotliwością („polling”)
- W praktyce więc „falling edge” oznacza:
 - W czasie poprzedniego sprawdzenia wejść bit warunku był równy 1
 - W czasie bieżącego sprawdzenia wejść bit warunku jest równy 0

Ladder diagram (LD)

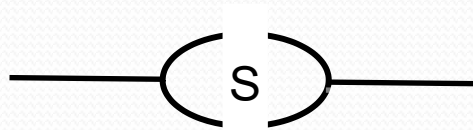
- Element wykonawczy („coil”)



- Działanie:
 - Jeżeli na wejściu jest stan wysoki („1”) to określony bit w pamięci wyjścia PLC ustawiany jest na 1
 - Jeżeli na wejściu jest stan niski („0”) to bit ten ustawiany jest na 0

Ladder diagram (LD)

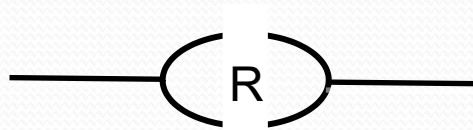
- Włączanie elementu wykonawczego („set latch coil”)



- Działanie:
 - Jeżeli na wejściu jest stan wysoki („1”) to określony bit w pamięci wyjścia PLC ustawiany jest na 1
 - Jeżeli na wejściu jest stan niski („0”) to bit ten zachowuje swoją poprzednią wartość (**nie** jest ustawiany na „0” !)

Ladder diagram (LD)

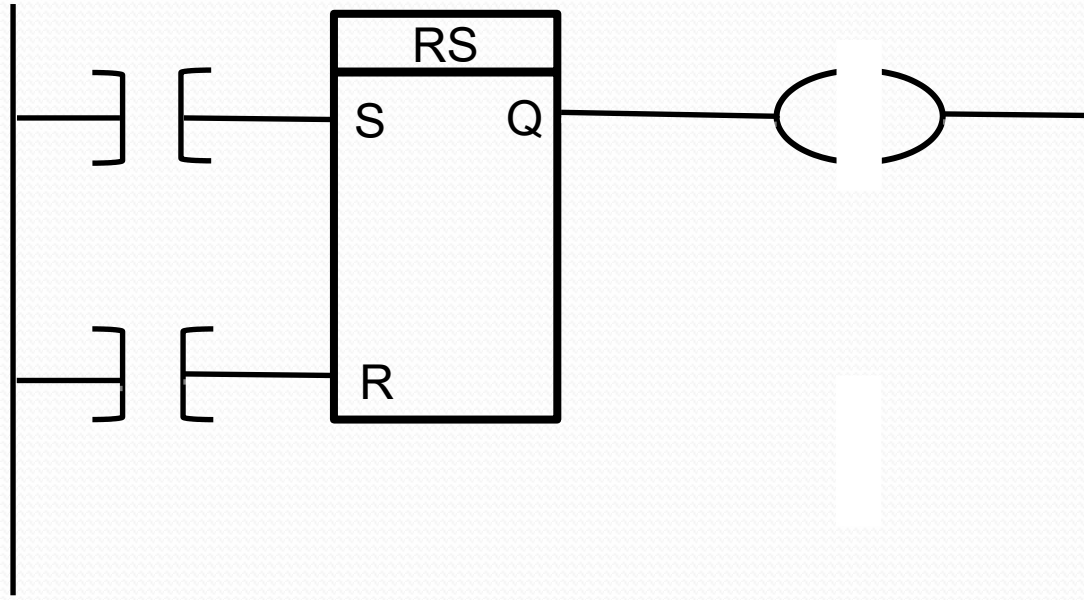
- Wyłączanie elementu wykonawczego („reset latch coil”)



- Działanie:
 - Jeżeli na wejściu jest stan wysoki („1”) to określony bit w pamięci wyjścia PLC ustawiany jest na 0
 - Jeżeli na wejściu jest stan niski („0”) to bit ten zachowuje swoją poprzednią wartość (**nie** jest ustawiany na „1” !)

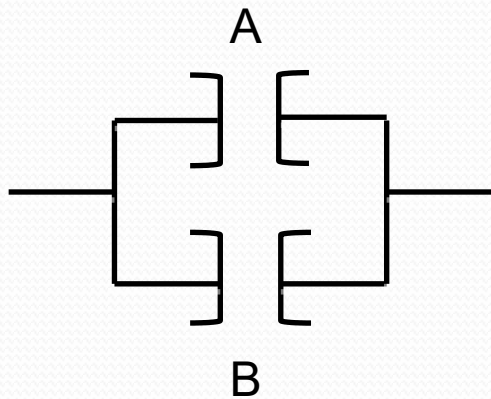
Ladder diagram (LD)

- Można łatwo łączyć Ladder diagram (LD) z Function block diagram (FBD)

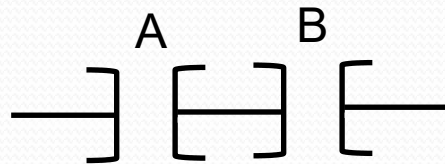


Ladder diagram (LD)

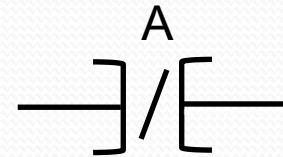
- Odwzorowanie bramek logicznych w LD



A or B



A and B



not A