

Elektronika analogowa i cyfrowa

Dr Michał Tanaś
(<http://mtanas.home.amu.edu.pl/>)

VHDL – how to connect chips ?

entity chip11 is

```
Port ( i11 : in  STD_LOGIC;  
       o11 : out STD_LOGIC);
```

end chip11;

Przykład łączenia układów w większą całość.

architecture Behavioral of chip11 is

component chip1 is

```
Port ( i1 : in  STD_LOGIC;  
       o1 : out STD_LOGIC);
```

end component;

An example how to combine chips into a bigger one.

```
signal io11 : STD_LOGIC := '0';
```

begin

```
c1: chip1 port map (i1 => i11, o1 => io11);  
c2: chip1 port map (i1 => io11, o1 => o11);
```

end Behavioral;

VHDL – how to connect chips ?

```
entity chip11 is  
  Port ( i11 : in  STD_LOGIC;  
         o11 : out STD_LOGIC);  
end chip11;
```

architecture Behavioral of chip11 is

```
component chip1 is  
  Port ( i1 : in  STD_LOGIC;  
         o1 : out STD_LOGIC);  
end component;
```

```
signal io11 : STD_LOGIC := '0';
```

```
begin
```

```
  c1: chip1 port map (i1 => i11, o1 => io11);  
  c2: chip1 port map (i1 => io11, o1 => o11);
```

```
end Behavioral;
```

Standardowy opis zewnętrzny (deklaracja) układu. W tym przypadku jest to „duży” układ, który zawiera w sobie inne mniejsze układy.

Standard external description (declaration). In this case it is a „big chip” i.e. a chip that contains smaller chips inside.

VHDL – how to connect chips ?

entity chip11 is

```
Port ( i11 : in  STD_LOGIC;  
       o11 : out STD_LOGIC);
```

end chip11;

architecture Behavioral of chip11 is

component chip1 is

```
Port ( i1 : in  STD_LOGIC;  
       o1 : out STD_LOGIC);
```

end component;

signal io11 : STD_LOGIC := '0';

begin

```
c1: chip1 port map (i1 => i11, o1 => io11);  
c2: chip1 port map (i1 => io11, o1 => o11);
```

end Behavioral;

Opis zewnętrzny (deklaracja)
„małego” układu, wchodzącego
w skład większej całości.
Porównaj blok „component” w
testbenchu.

External description
(declaration) of the „small” chip,
which is a component of
something bigger.
Look at the „component” block
in testbench.

VHDL – how to connect chips ?

entity chip11 is

```
Port ( i11 : in  STD_LOGIC;  
       o11 : out STD_LOGIC);
```

end chip11;

architecture Behavioral of chip11 is

component chip1 is

```
Port ( i1 : in  STD_LOGIC;  
       o1 : out STD_LOGIC);
```

end component;

signal io11 : STD_LOGIC := '0';

begin

```
c1: chip1 port map (i1 => i11, o1 => io11);  
c2: chip1 port map (i1 => io11, o1 => o11);
```

end Behavioral;

Wewnętrzne połączenie w „dużym” układzie. Odpowiada ścieżce na płycie drukowanej, która łączy nóżki dwóch innych układów.

Internal connection inside the „big” chip. Plays role of a circuit board track that connects pins of two other chips.

VHDL – how to connect chips ?

```
entity chip11 is  
  Port ( i11 : in  STD_LOGIC;  
         o11 : out STD_LOGIC);  
end chip11;
```

Nazwy „małych” układów. Mogą być dowolne.

```
architecture Behavioral of chip11 is
```

```
  component chip1 is  
    Port ( i1 : in  STD_LOGIC;  
          o1 : out STD_LOGIC);  
  end component;
```

Names of „small” chips. Can be anything.

```
  signal io11 : STD_LOGIC := '0';
```

```
begin
```

```
  c1: chip1 port map (i1 => i11, o1 => io11);  
  c2: chip1 port map (i1 => io11, o1 => o11);
```

```
end Behavioral;
```

VHDL – how to connect chips ?

entity chip11 is

```
Port ( i11 : in  STD_LOGIC;  
       o11 : out STD_LOGIC);
```

end chip11;

Typ „małego” układu c1. Musi być zadeklarowany przy pomocy bloku „component”.

architecture Behavioral of chip11 is

component chip1 is

```
Port ( i1 : in  STD_LOGIC;  
       o1 : out STD_LOGIC);
```

end component;

Type of the „small” chip c1. Has to be defined in a „component” block.

signal io11 : STD_LOGIC := '0';

begin

```
c1: chip1 port map (i1 => i11, o1 => io11);  
c2: chip1 port map (i1 => io11, o1 => o11);
```

end Behavioral;

VHDL – how to connect chips ?

```
entity chip11 is
  Port ( i11 : in  STD_LOGIC;
         o11 : out STD_LOGIC);
end chip11;

architecture Behavioral of chip11 is

  component chip1 is
    Port ( i1 : in  STD_LOGIC;
          o1 : out STD_LOGIC);
  end component;

  signal io11 : STD_LOGIC := '0';

begin
  c1: chip1 port map (i1 => i11, o1 => io11);
  c2: chip1 port map (i1 => io11, o1 => o11);

end Behavioral;
```

Połączenia pomiędzy „małym” a „dużym” układem. Dla „małego” układu można użyć wyłącznie nóżek zewnętrznych (zdefiniowanych w bloku „entity” i powtórzonych w bloku „component”). Dla „dużego” układu można użyć nóżek zewnętrznych lub ścieżek wewnętrznych.

Connections between „small” and „big” chips. For the „small” chip only external pins (i.e. ones defined in „entity” and repeated in „component” block) can be used. For „big” chip external pins or internal paths can be used.