

Elektronika analogowa i cyfrowa

Dr Michał Tanaś
(<http://mtanas.home.amu.edu.pl/>)

VHDL – module

```
entity chip1 is  
  Port ( i : in  STD_LOGIC;  
         o : out STD_LOGIC);  
end chip1;
```

Entity

Opis zewnętrzny układu.
Odpowiednik deklaracji funkcji w językach programowania.

Port

Nóżki układu.

STD_LOGIC

Standardowy przebieg sygnału cyfrowego (stan wysoki, stan niski, zbocze)

Entity

External description of a chip.
Plays role of function's declaration in programming languages.

Port

Pins of the chip.

STD_LOGIC

Standard digital waveform (high, low, edge)

VHDL - module

```
architecture Behavioral of chip1 is  
begin  
  o<=i;  
end Behavioral;
```

architecture

Opis wewnętrzny układu.
Odpowiednik definicji funkcji w
językach programowania.

o <= i

Połączenie. Sygnał z nóżki „i” jest
podawany na nóżkę „o”

architecture

Internal description of a chip.
Plays role of function's definition in
programming languages.

o <= i

Connection. Signal from pin i is
transmitted to pin „o”

VHDL - testbench

Żaden układ nie działa sam z siebie – musi być do czegoś podłączony.

Żeby przetestować działanie układu należy go podłączyć do tzw. **testbench**'a

Zadaniem **testbench**'a jest podawanie odpowiednich sygnałów na nóżki układu.

No chip works by itself – it has to be plugged to something.

To test how a chip works it must be plugged to so called **testbench**

Testbench's task is to provide the correct signals to the chip's pins.

VHDL - testbench

```
COMPONENT chip1
  PORT(
    i : IN std_logic;
    o : OUT std_logic
  );
END COMPONENT;
```

COMPONENT
Opis zewnętrzny układu do testowania. Musi być zgodny z „entity” w „VHDL module”

COMPONENT
External description of the chip to be tested. Has to be compatible with „entity” in „VHDL module”

VHDL - testbench

```
signal i : std_logic := '0';  
signal o : std_logic;
```

signal

Odpowiednik ścieżki na płycie drukowanej.

:= '0'

Podanie na ścieżkę stanu niskiego („0”). Jest to stan początkowy i może się zmienić.

signal

A wire in integrated circuit.

:= '0'

This signal will be in low („0”) state. Note that it is only initial state and can be changed.

VHDL - testbench

```
uut: chip1 PORT MAP (  
    i => i,  
    o => o  
);
```

Połączenia pomiędzy sygnałami testbench'a a nóżkami testowanego układu.

Connections between testbench's signals and tested chip signals

VHDL - testbench

```
clk_process :process
begin
    i <= '0';
    wait for clk_period/2;
    i <= '1';
    wait for clk_period/2;
end process;
```

Pętla zegarowa.
Podaje zadany przebieg sygnału na
nóżki wejściowe testowanego
układu.

Clock loop.
Provides a given waveform to input
pins of the chip under test.

Działanie układu.
Przebieg sygnału na
nóżkach „i” i „o” jest
identyczny (jak można
się było spodziewać)

How the chip works.
The waveform on pins
„i” and „o” is exactly
the same (as you can
expect).

