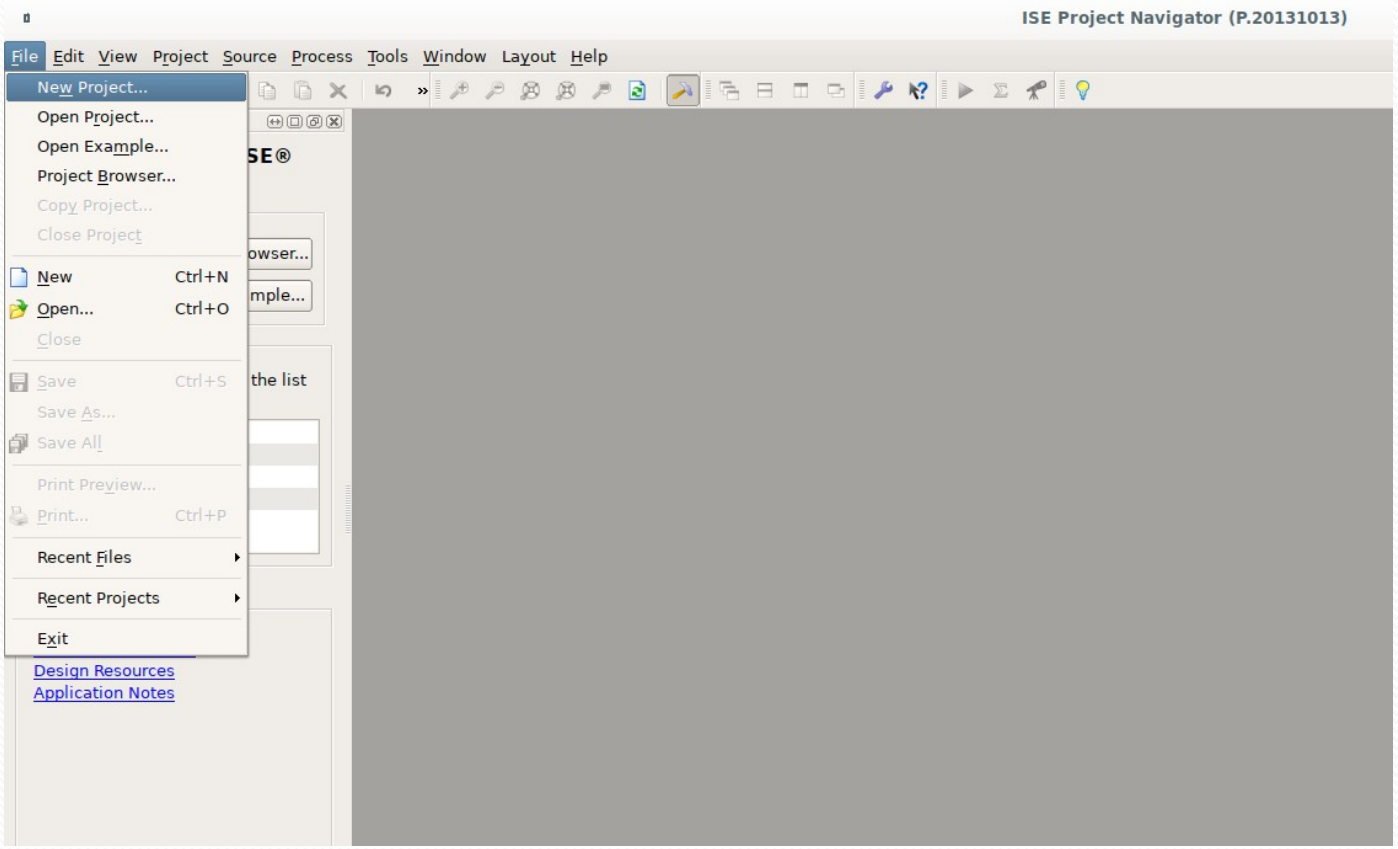
Elektronika analogowa i cyfrowa

Dr Michał Tanaś (http://mtanas.home.amu.edu.pl/)

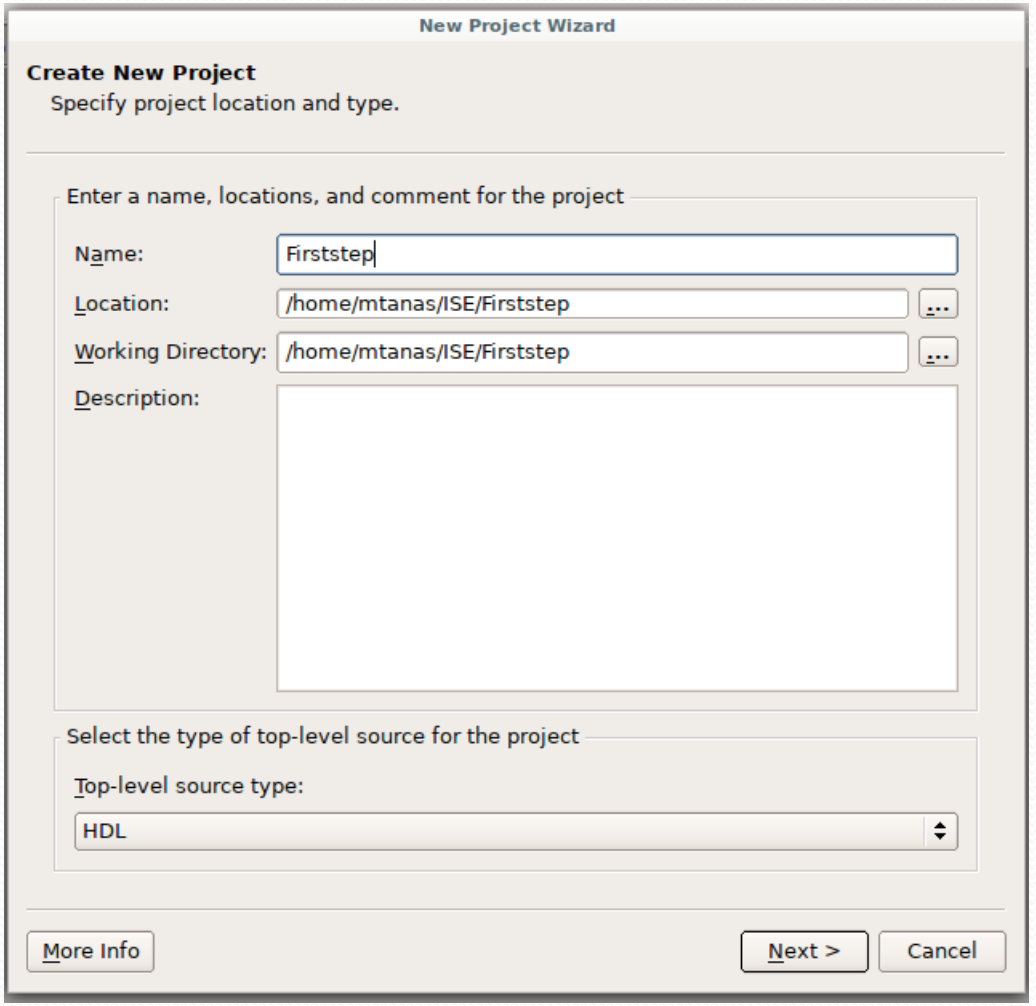
Z menu „File” wybierz „New Project”

Select „File” then „New Project”



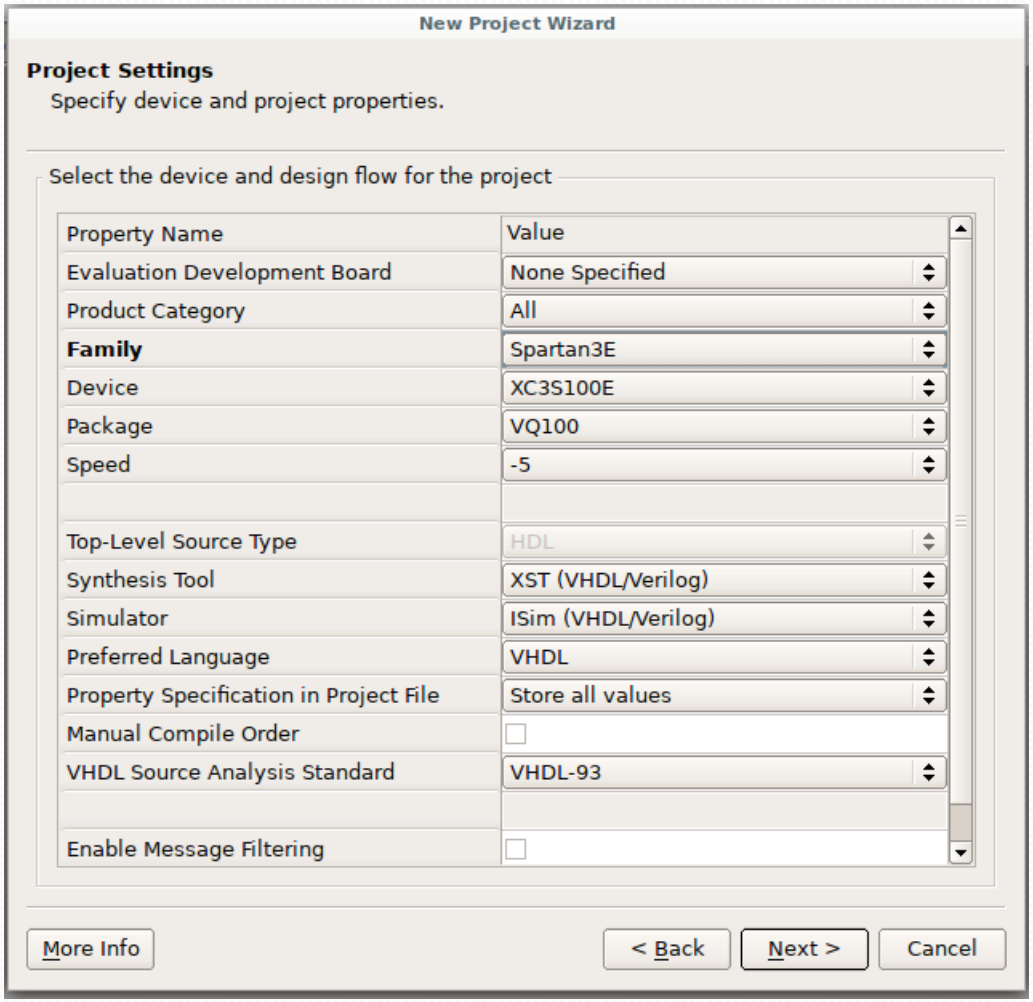
Należy wpisać dowolną nazwę projektu.
Jako „Top-level source type” należy wybrać „HDL”

Any project name must be typed.
„Top-level source type” must be „HDL”



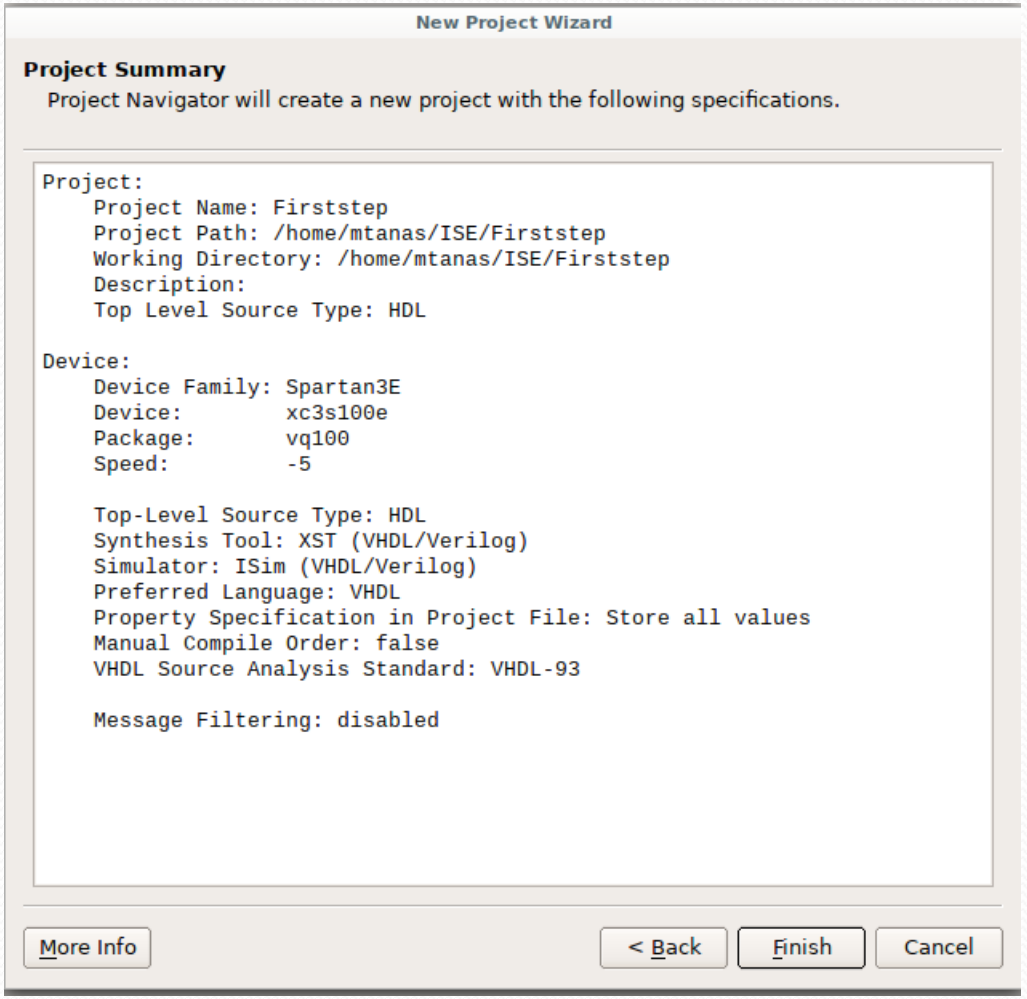
Parametry projektu i urządzenia proszę wybrać dokładnie takie jak na screenshocie.

The project and device parameters must be exactly like ones on the screenshot



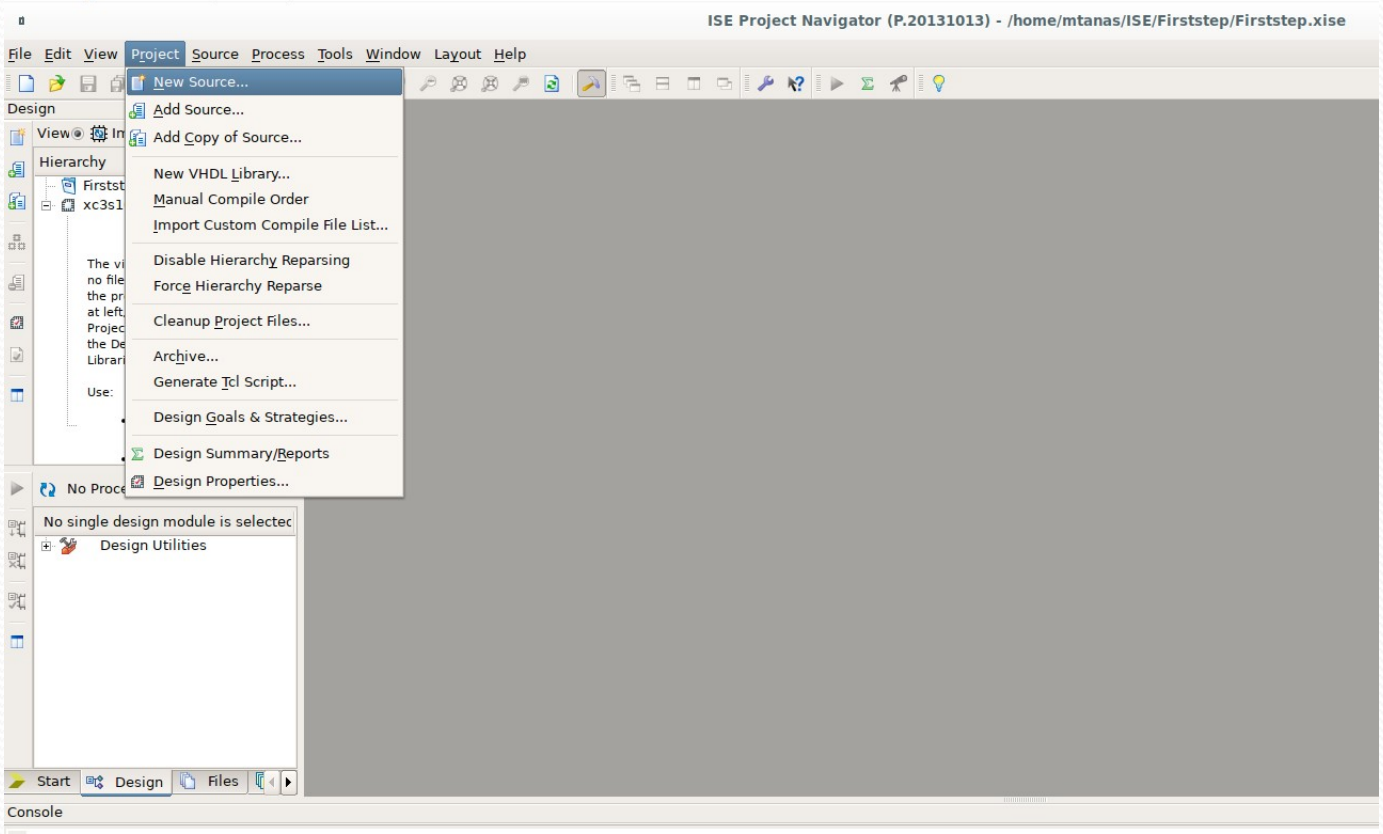
Pokaże się podsumowanie parametrów projektu. Należy kliknąć „Finish”

The project summary will be presented. Click „Finish”



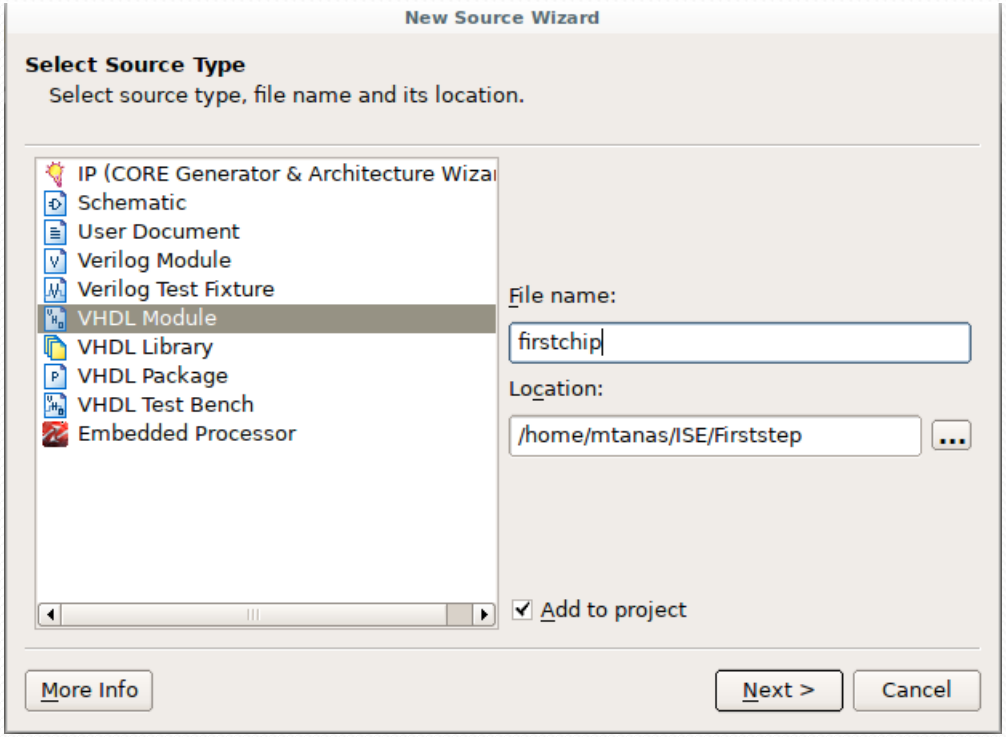
Z menu „Project” wybierz „New source”

Click „Project” then „New source”



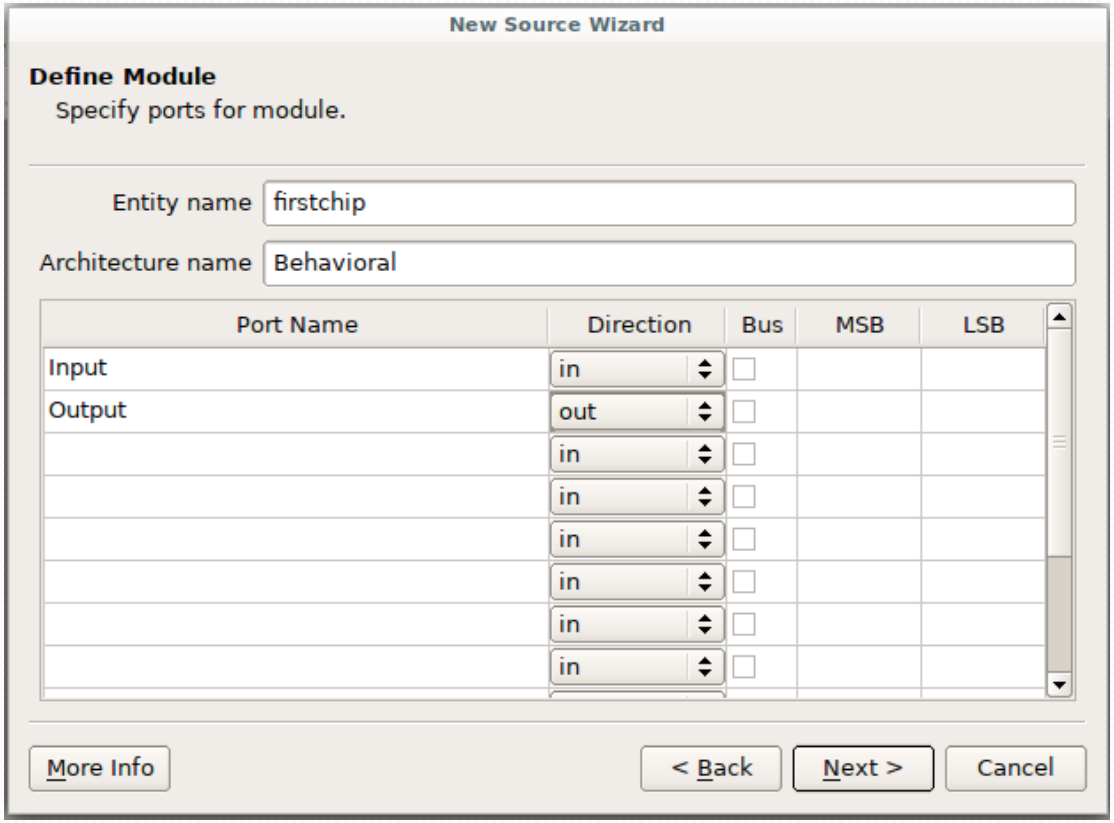
Jako „Source type” wybierz „VHDL Module”
Nazwę pliku wpisz dowolną.

„Source type” must be „VHDL module”.
As „File name” type anything.



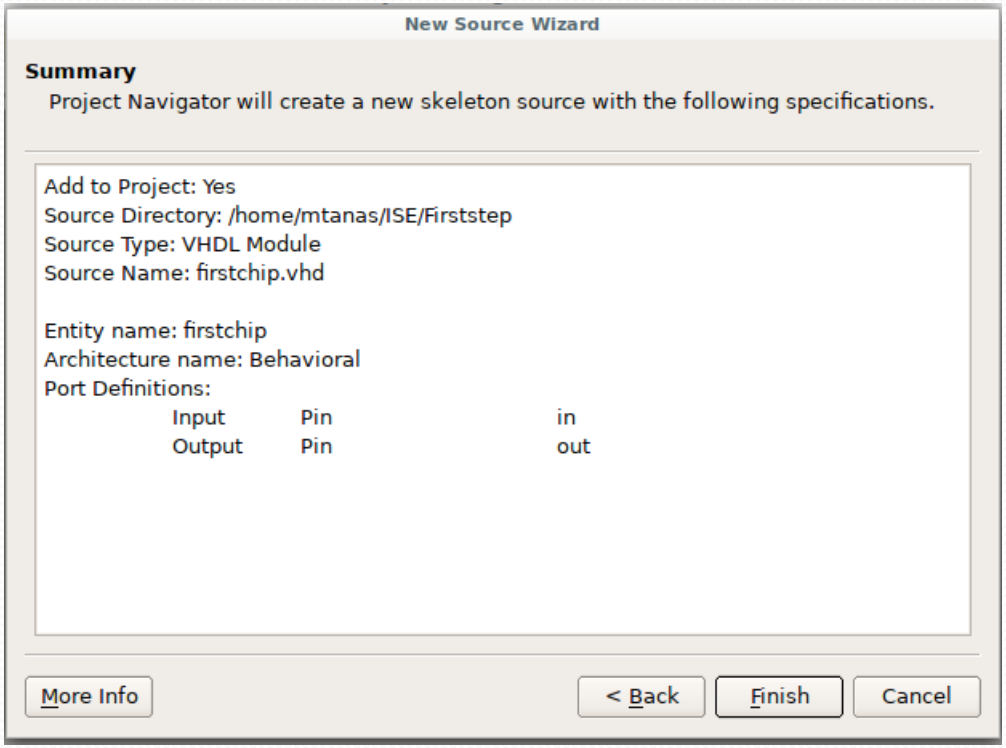
Nazwę układu („Entity name”) wpisz dowolną.
Porty we/wy ustaw jak na screenshocie.

As „Entity name” type anything.
I/O ports must be set as in the screenshot



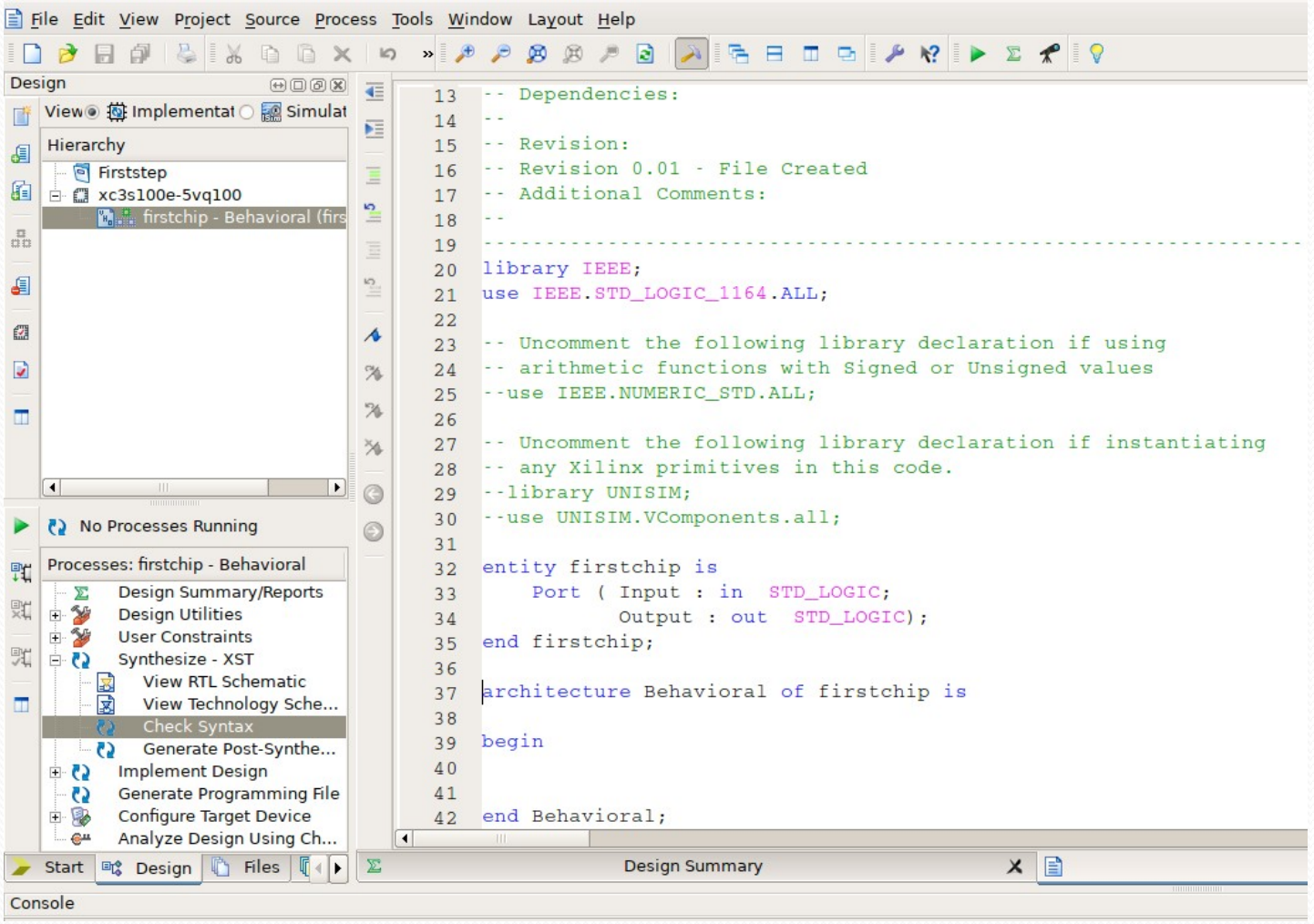
Gdy pojawi się „Summary” kliknij „Finish”

When the „Summary” appears click „Finish”



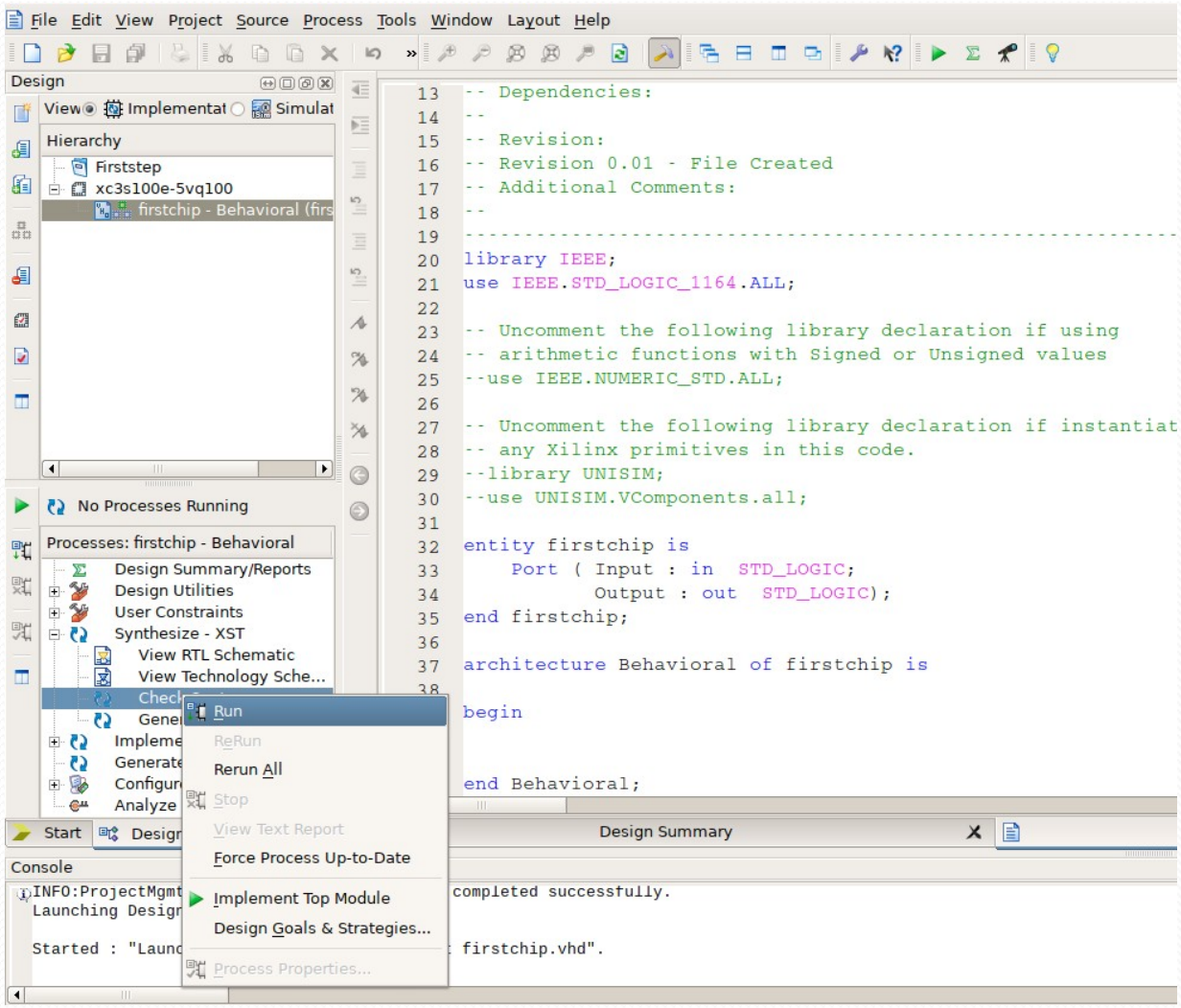
ISE wygeneruje szkielet kodu VHDL naszego układu.

The core of VHDL code of our chip will be generated by ISE



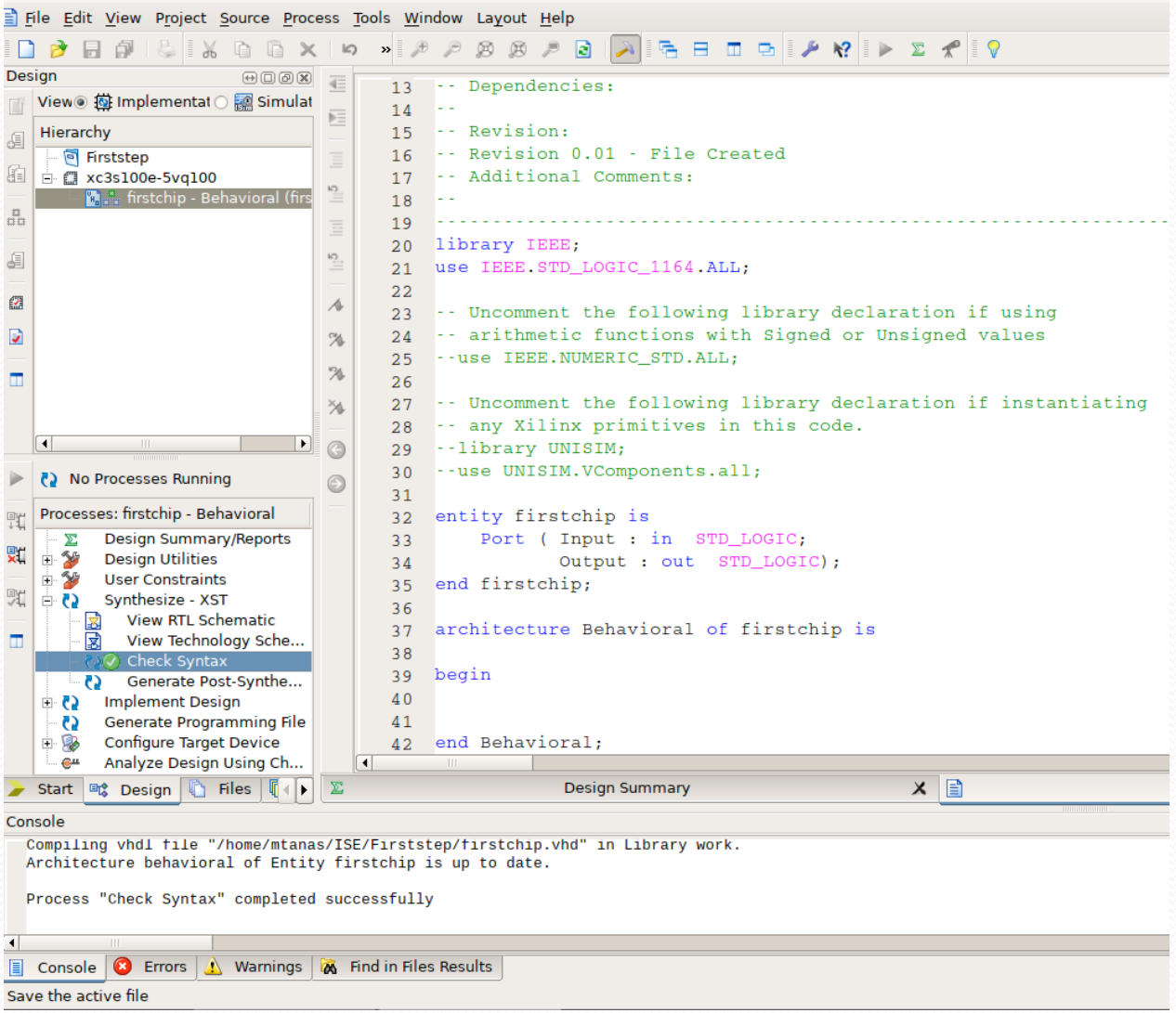
Rozwiń listę „Synthetize – XST” i kliknij prawym klawiszem na „Check syntax”.
Wybierz „Run”.

Expand the list „Synthetize – XST”, right click on „Check syntax” and click „Run”.



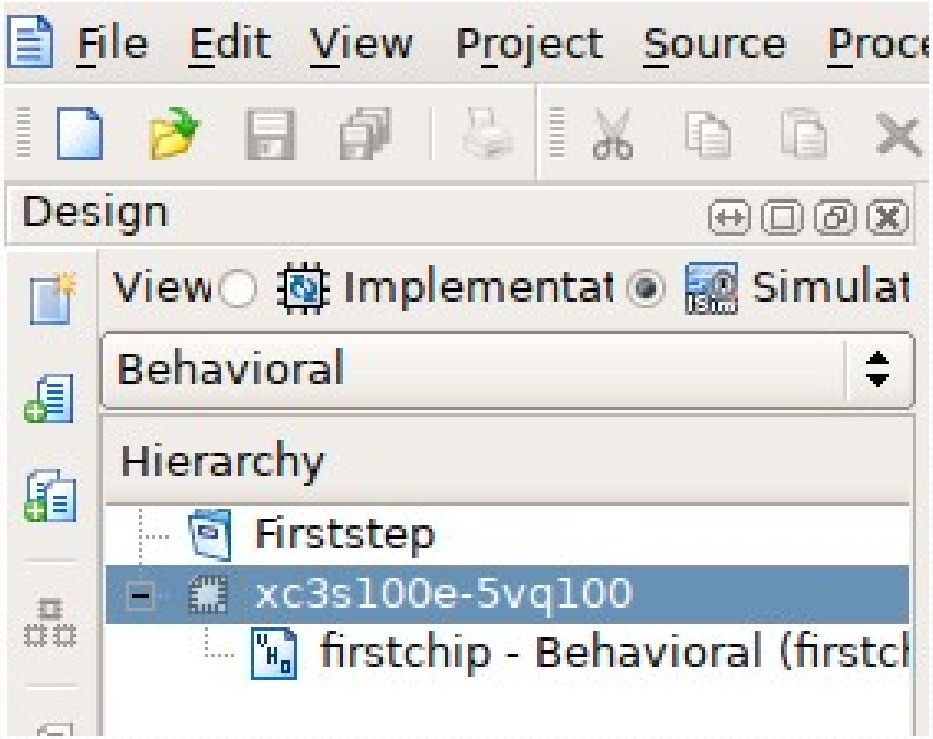
ISE powinien potwierdzić poprawności składni.

ISE shall confirm corectness of the syntax.



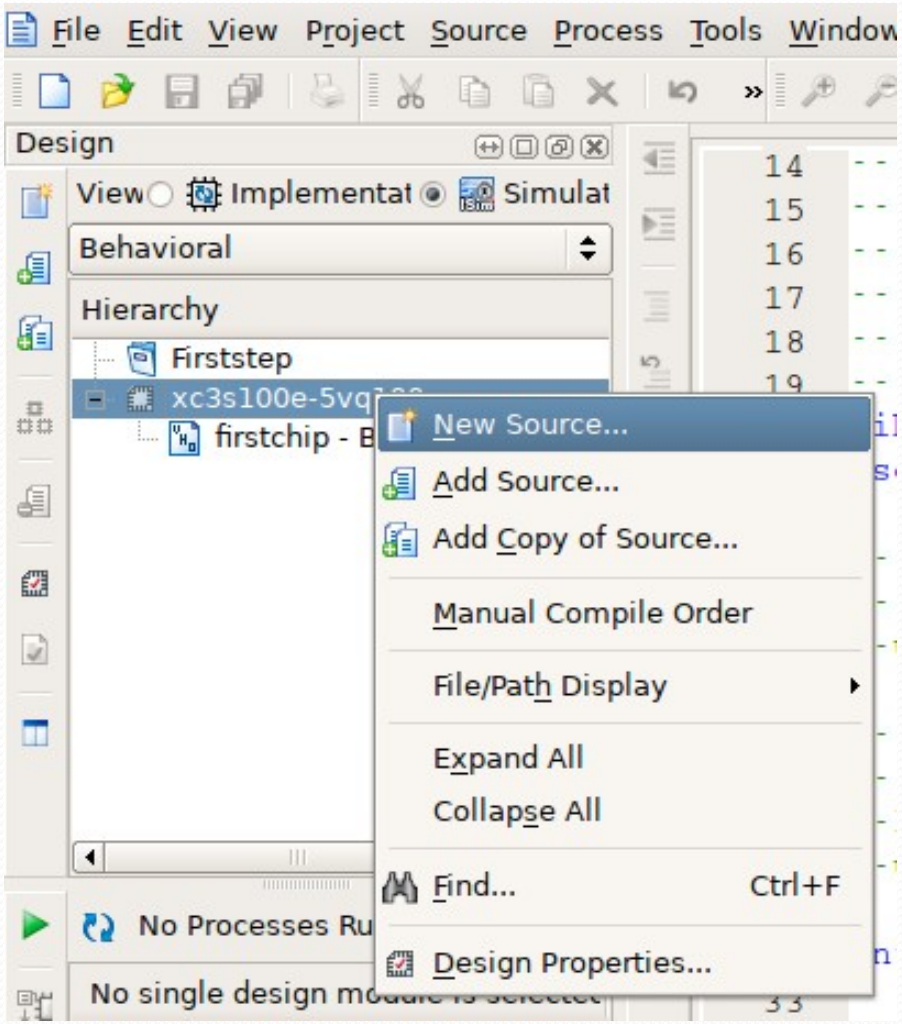
Zmień „View” z „Implementation” na „Simulation”

Change the „View” from „Implementation” to „Simulation”



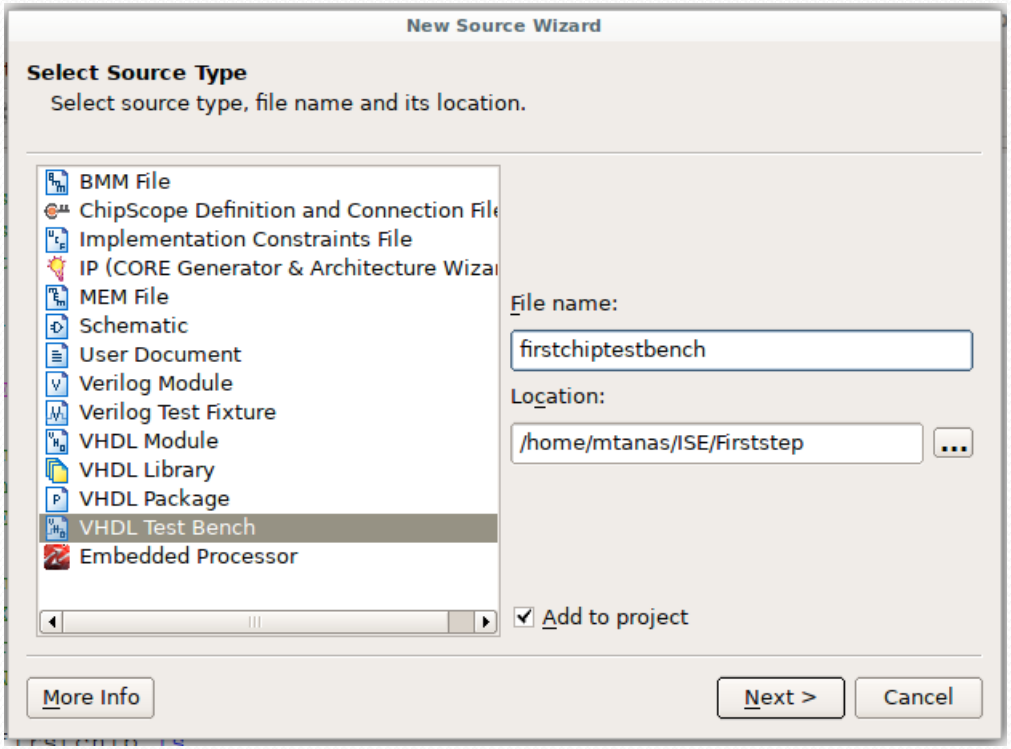
Kliknij prawym klawiszem na kod układu i wybierz „New source”

Right click on the device’s code and select „New source”



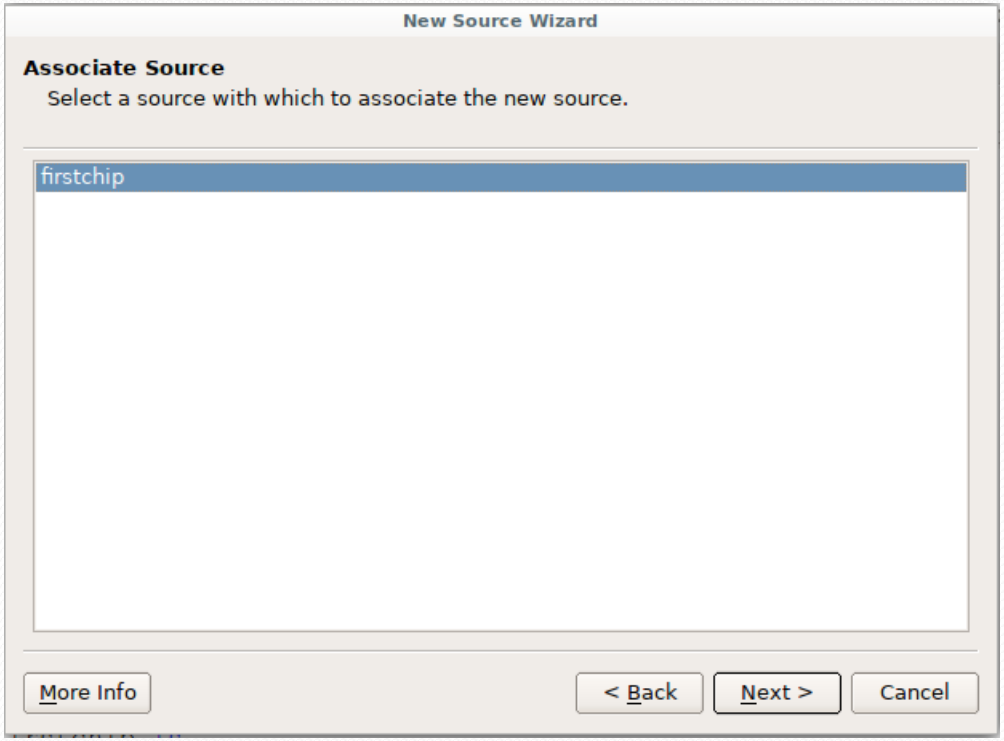
Jako „Source type” wybierz „VHDL Test Bench”
Nazwę pliku wpisz dowolną

„Source type” must be „VHDL Test Bench”.
As file name type anything.



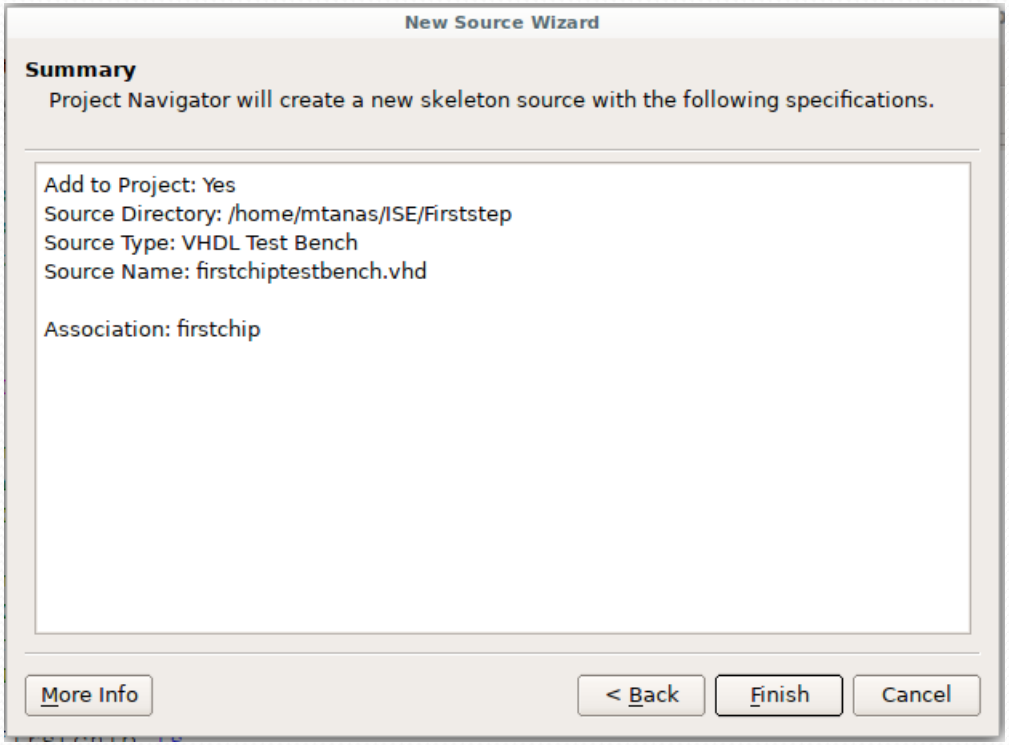
Jako „Associate Source” wybierz plik z kodem „VHDL Module” (patrz slajd 7).

As „Associate Source” select the „VHDL Module” file (see slide 7)



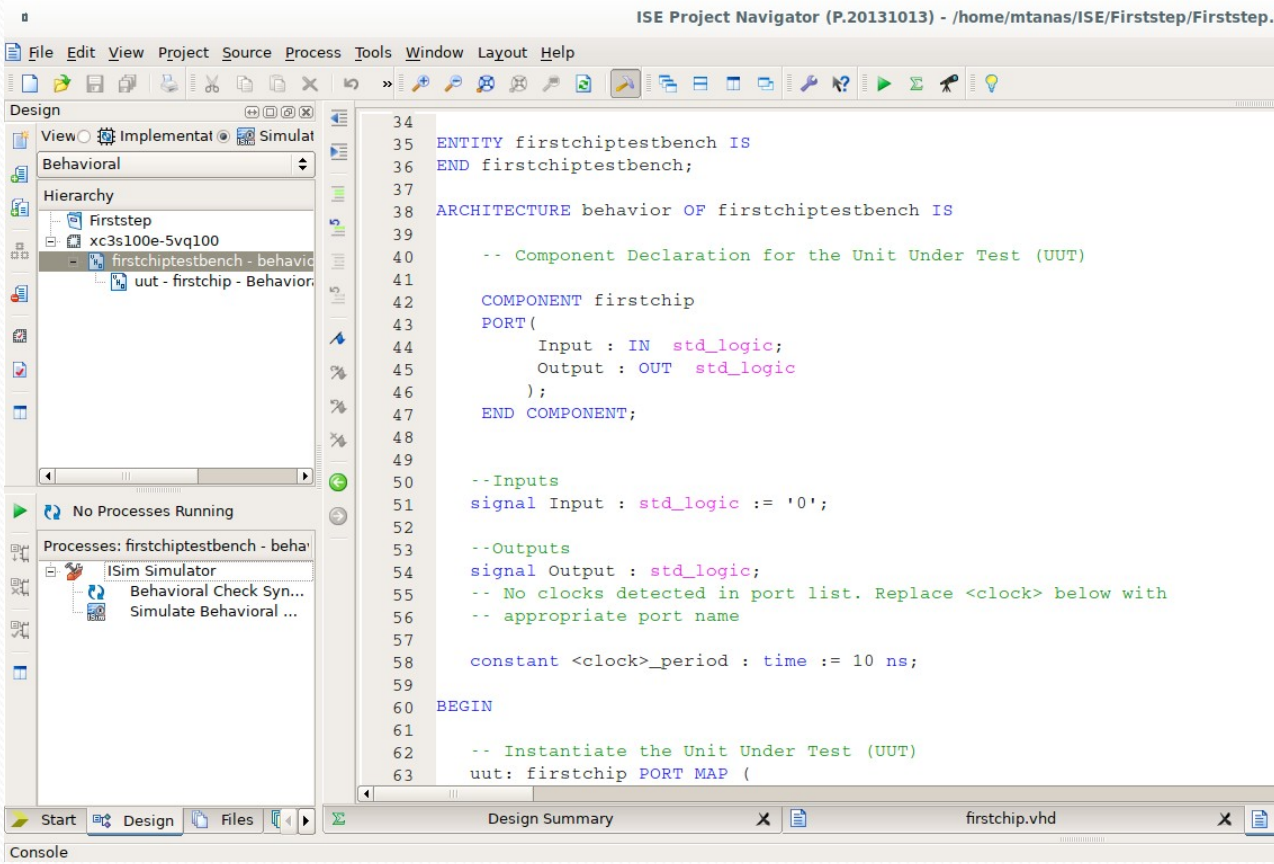
Gdy pojawi się „Summary” kliknij „Finish”

When „Summary” appears click „Finish”



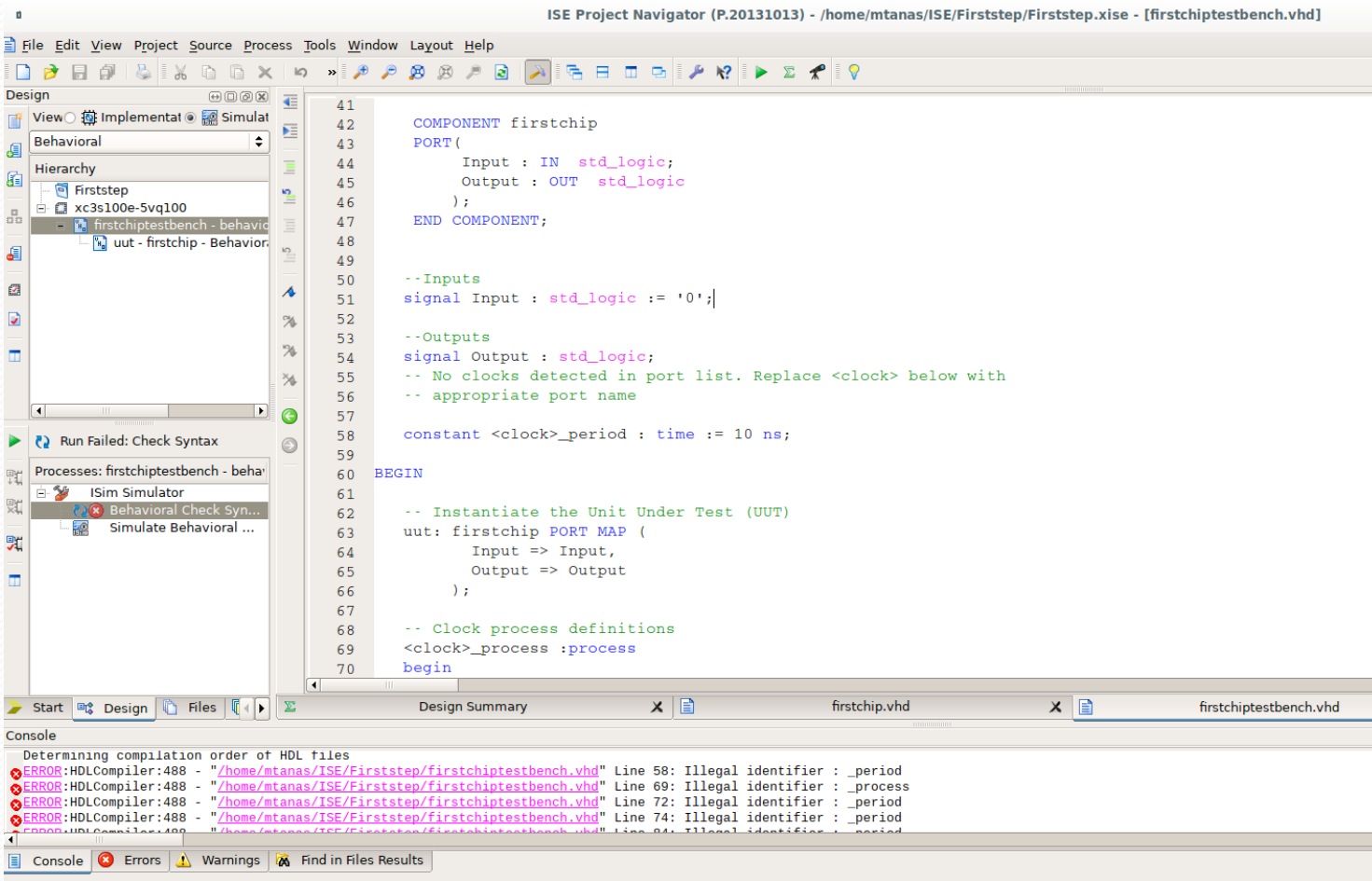
Rozwiń listę „ISim Simulator”, kliknij prawym klawiszem na „Behavioral check syntax” i kliknij „Run”

Expand list „Isim Simulator”, right click on „Behavioral check syntax” and click „Run”



Ooops. Coś poszło nie tak.

Ooops. Something wrong.



Znajdź **wszystkie** wystąpienia „<clock>” i zamień je na „clock” (usuń nawiasy).

Find **every** „<clock>” and replace it with „clock” (remove braces)

```
constant <clock>_period : time := 10 ns;
```

```
constant clock_period : time := 10 ns;
```

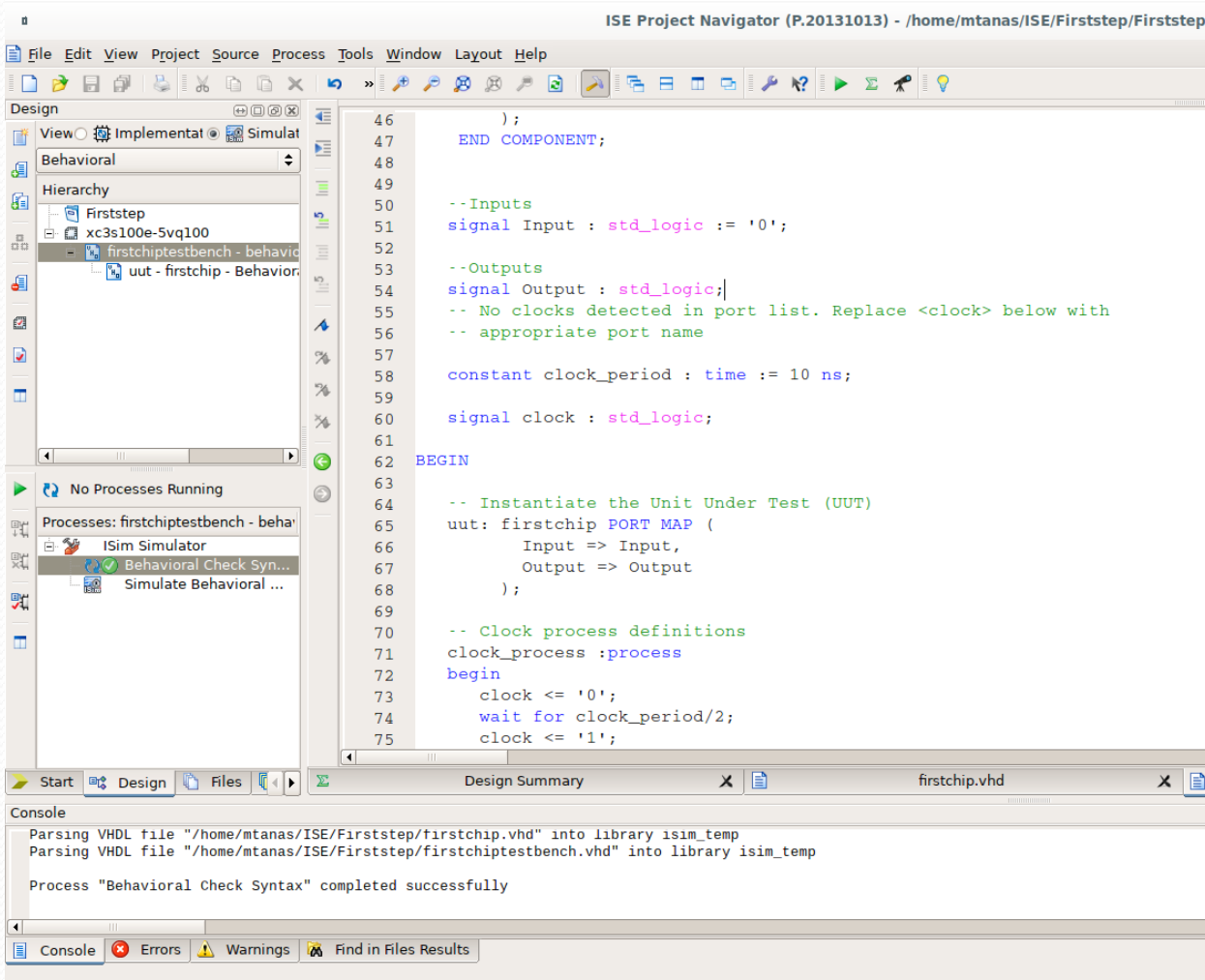
Dopisz linię „signal clock : std_logic;” zaraz przed „BEGIN”

Type line „signal clock : std_logic;” just before „BEGIN”

```
57
58      constant clock_period : time := 10 ns;
59
60      signal clock : std_logic;
61
62  BEGIN
63
```

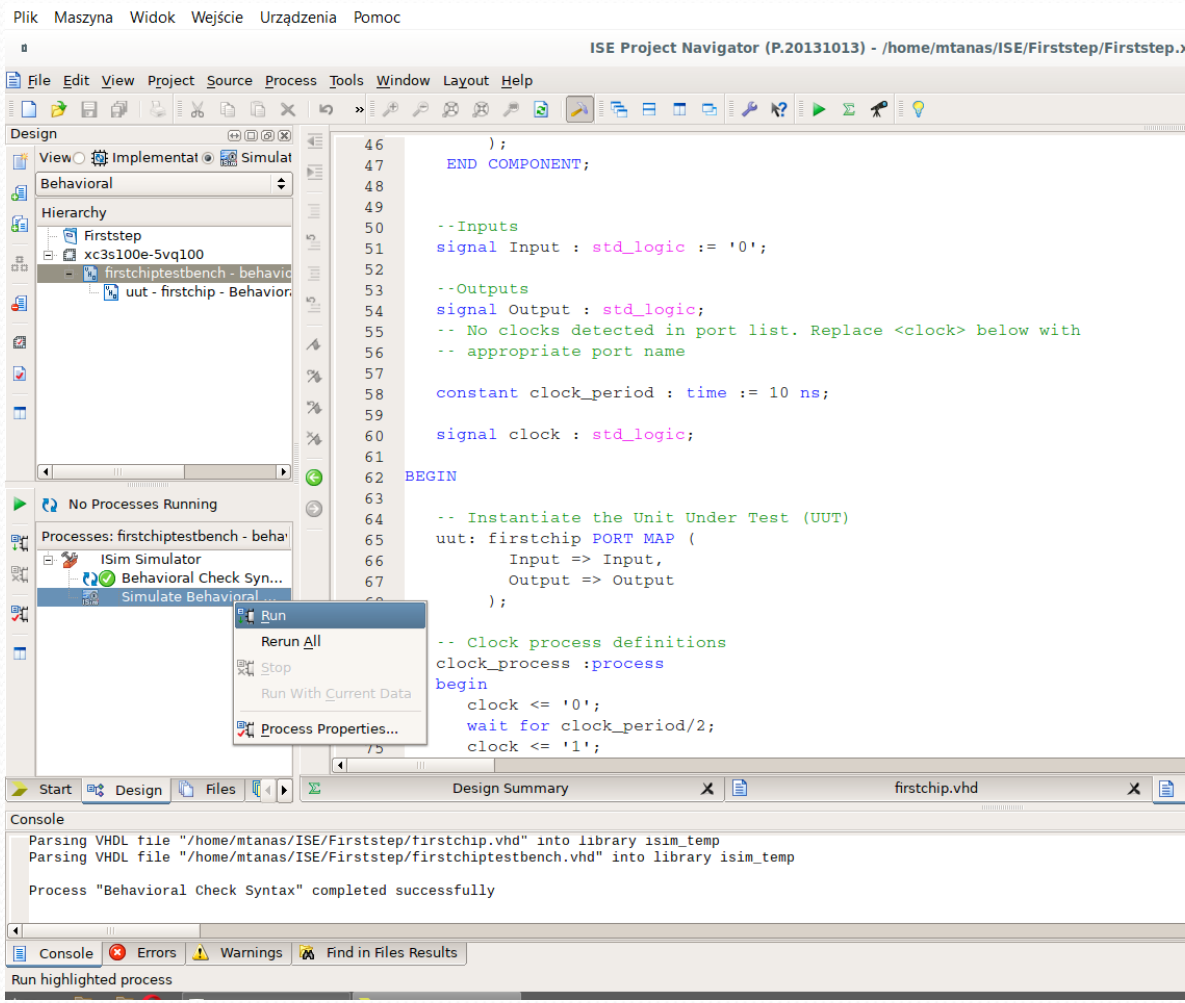
Ponownie uruchom „Behavioral check syntax”
Teraz powinno być wszystko w porządku.

Rerun „Behavioral check syntax”.
Now everything shall be OK



Uruchom „Simulate behavioral”

Run „Simulate behavioral”



ISE wyświetli przebieg sygnałów na nóżkach układu.
Linie są płaskie bo nasz układ na razie nic nie robi.

ISE will show the signal waveform on the device's pins.
Lines are flat because our device does nothing so far.